



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10070832 A**

(43) Date of publication of application: 10 . 03 . 98

(51) Int. Cl. **H02H 3/08**  
**G01R 31/02**  
**H02H 7/122**  
**H02M 7/48**

(21) Application number: **09110855**(22) Date of filing: **28 . 04 . 97**(30) Priority: **29 . 04 . 96 DE 96 19617054**(71) Applicant: **SEMIKRON ELEKTRON GMBH**(72) Inventor: **MASANNEK JUERGEN**  
**SCHIMANEK ERNST**

(54) **OVERCURRENT AND SHORT-CIRCUIT  
 PROTECTION AND CONTROL APPARATUS FOR  
 POWER SEMICONDUCTOR DEVICE**

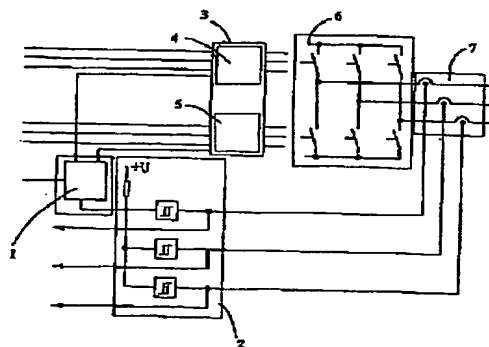
turned off can be shortened. Thereby, a switching device  
 can be protected from an overcurrent and a ground fault.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain an overcurrent and short-circuit protection and control apparatus which protects a switching device from an overcurrent and a ground fault by a method wherein, when the overcurrent and/or the short circuit are generated, an upper-part drive circuit and a lower-part drive circuit at a drive and control circuit are cut off and a corresponding power switch is cut off.

**SOLUTION:** A window comparator 2 outputs an error signal when a current exceeds a maximum value. The error signal is totaled by an error storage memory 1. When a current outside a prescribed limit is generated and/or when a short-circuit state is generated, the error storage memory 1 generates a signal which cuts off an upper-part drive circuit 4 and a lower-part drive circuit 5 at a drive and control circuit 3. Thereby, a corresponding power switch 6 is cut off surely, i.e., changed over to an OFF state. Then, when an instruction route to the small number of control elements is shortened, the time elapsed until the power switch 6 is



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-70832

(43) 公開日 平成10年(1998) 3月10日

(51) Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 H 3/08			H 0 2 H 3/08	T
G 0 1 R 31/02			G 0 1 R 31/02	
H 0 2 H 7/122			H 0 2 H 7/122	Z
H 0 2 M 7/48		8110-5H	H 0 2 M 7/48	M

審査請求 未請求 請求項の数6 O L (全 5 頁)

(21) 出願番号 特願平9-110855

(22) 出願日 平成9年(1997) 4月28日

(31) 優先権主張番号 1 9 6 1 7 0 5 4 : 0

(32) 優先日 1996年4月29日

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 592221975

ゼミクロン エレクトロニク ゲゼルシ  
ャフト ミット ベシュレンクテル ハフ  
ツング

ドイツ デー・90431 ニュルンベルク  
ジークムントシュトラッセ 200

(72) 発明者 ユルゲン マザンネク

ドイツ連邦共和国 デー・90461 ニュル  
ンベルク ヴィルヘルム・シュバート・シ  
ュトラッセ 86

(74) 代理人 弁理士 伊藤 武久 (外1名)

最終頁に続く

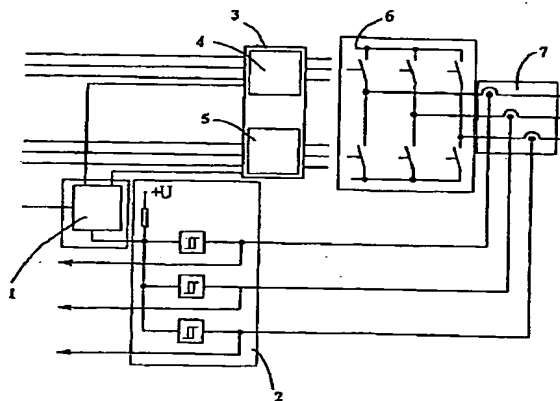
(54) 【発明の名称】 電力半導体装置のための過電流及び短絡保護制御装置

(57) 【要約】

【課題】 電流センサを使用することにより電力半導体スイッチング回路の過電流並びに短絡及び地絡を検出し、電力半導体スイッチング素子を3 $\mu$ sの時間内に遮断してスイッチング装置を破壊から保護するための電力半導体スイッチング回路のための保護装置。

【解決手段】 上位のコントローラから到来する制御信号に直接応答し、エラーの場合、即ち、電流或いは駆動状態が許容し得ない場合には、駆動回路の制御信号に関係なく電力スイッチを遮断するように動作する直列接続された電流センサ(7)、現在値処理回路(16、60)、ウインドウ比較器(2)、エラー記憶メモリ

(1) 及び閉素子回路(33、34)を含む。過電流並びに短絡及び地絡に対する安全装置は、単相及び多相の逆変換装置(インバータ)及び整流装置に適用可能である。



1

## 【特許請求の範囲】

【請求項1】 電流検出装置、比較装置、信号発生装置及び半導体素子の動作を遮断するための装置を備えた電力半導体回路装置のための過電流及び短絡保護用制御装置において、

n個の相の逆変換電力部の各々における交流出力側の電流現在値を検出して2つの並列装置で処理し、該2つの装置のうちの第1の装置(16、17)においては電流総和信号を発生して閾値と比較し、第2の装置(60、61)においては、総ての個々の値の正の最大瞬時値及び負の最大瞬時値を閾値と比較して、それにより得られた出力信号を、ORゲート(22)を介して合成し、記憶(24)し、且つ異なった遅延素子(29、30)を介して正及び負のブリッジ分枝回路に用いられている電力スイッチの開閉を制御するのに用いることを特徴とする制御装置。

【請求項2】 現在値処理(16、60)、ウインドウ比較器(2)、エラー記憶メモリ(1)、オン阻止回路(33、34)及び駆動回路(35、38)それぞれにおいて信号の処理及び出力が $0.5\mu s$ より短い時間であることを前提とし、電流センサ(7)の信号処理及び出力に要する時間が $1\mu s$ であることを特徴とする請求項1に記載の制御装置。

【請求項3】 電流変換信号を排他的に、過電流並びに短絡及び地絡を検出するために用いることを特徴とする請求項1に記載の制御装置。

【請求項4】 予め定められた限界範囲外の電流が発生した場合及び(または)エラー記憶メモリ(1)の短絡状態が生じた場合に、上部スイッチング素子(4)並びに下部スイッチング素子(5)において駆動制御部(3)を開くための信号を発生し、それにより、総ての電力スイッチ(6)を確実に遮断することを特徴とする請求項3に記載の制御装置。

【請求項5】 上部電力スイッチ及び下部電力スイッチを時間的に変位して遮断することを特徴とする請求項4に記載の制御装置。

【請求項6】 エラーメッセージを、リセット信号の発生まで、または所定の時間記憶しておくことを特徴とする請求項1に記載の制御装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、請求項1の謂わゆる上位概念に記載の電力半導体回路装置、特にスイッチング装置のための過電流/短絡保護装置に関する。このような電力半導体スイッチング装置の例としては、例えば、IGBTまたはMOS型電力半導体素子から構成されたインバータ回路が挙げられる。

【0002】

【従来の技術】DE 42 42 569 A1には、過電流保護装置が記述されている。この独国公報には、同時

2

に、過電流を検出するための装置が開示されており、該過電流検出装置は、制御電極を有するスイッチング素子と、該スイッチング素子を流れる電流を検出するための別の回路素子とから構成されている。上記公報に記述されているところによれば、当該装置は、フライホイール・ダイオードを、発生し得る過電流に対して、保護する機能をなす。

【0003】従来技術において、短絡保護のために、IGBT(絶縁ゲート・バイポーラ・トランジスタ)回路では、コレクター・エミッタ間電圧 $V_{ce}$ の監視が、そして、MOS(金属酸化膜半導体)トランジスタ回路では、ドレーン・ソース間電圧 $V_{ds}$ の監視が行われている。これら2つの方式の動作態様は原理的には同じである。しかしながら、これら2つの監視方式は、相当大きな回路費用を要し、一般に、温度依存性が極めて高い。しかも、費用のかかるこの保護方式は、適用範囲が短絡事故に限定され、発生し得る過電流は別個の過電流監視装置により検出しなければならない。

【0004】図1に基づき、従来技術に関して詳細に説明する。電力スイッチ(6)、即ち、IGBTまたはMOS-FETをスイッチング回路で使用する場合、その飽和電圧、即ち、IGBTの場合には、コレクター・エミッタ区間における電圧降下(8)、また、MOS-FETにおいては、ドレーン・ソース区間における電圧降下(9)は電流のみならず素子の温度にも依存する。

【0005】コレクター・エミッタ電圧 $V_{ce}$ またはドレーン・ソース電圧 $V_{ds}$ の検出回路(10)を介して、最大許容電流による電圧降下(11)を越える飽和電圧が測定されると、二次側の関連の電力スイッチ(6)は、マイクロプロセッサの制御命令(12)に関係なく阻止状態、もしくは不導通状態に切換えられる。

【0006】飽和電圧は温度依存性が極めて高い。例えば、電流を一定とすると、温度 $\theta_1$ で最大の電圧降下 $U_{max}$ に達し、温度 $\theta_2$ では、最小値 $U_{min}$ に達する。温度 $\theta_1$ 及び $\theta_2$ の絶対値は、電力スイッチ(6)の製造技術に依存するものであり、 $\theta_1$ が、 $\theta_2$ よりも大きい場合もあるし小さい場合もあり得る。最大許容トランジスタ電流に比例する電圧である遮断閾値(11)は、例えば、1200ボルト耐圧のIGBTの場合には、約5ボルトに設定して、それにより、許容電流から生ずる電圧降下(8または9)の場合には、温度 $\theta_1$ における最大電圧降下 $U_{max}$ では、ゲート電圧(15)の遮断は行わず、温度 $\theta_2$ で最大電流が越えられた場合にはエラー信号(14)を発生して確実にゲート電圧(15)の遮断を行うようにしている。

【0007】飽和電圧の温度依存性に起因する最も大きな問題点は、該温度依存性の結果として過剰に高い、例えば50%も過剰な電流が発生し、その結果として、最大許容駆動電圧を優に越える過度に高い過電圧が遮断時に惹起され、装置の破壊を齎し得るという点である。

【0008】更にまた、ターン・オンもしくは閉信号後、謂わゆるマスク時間中、監視を取り止めねばならない。と言うのは、オン（閉）状態中過電流の検出が行われるからである。仮に、電力半導体素子を、無限に大きい立上り勾配を有する制御信号でオン状態、即ち導通状態に切り換える場合でも、コレクターエミッタ区間に現れる電圧（もしくはMOS-FETの場合ドレーンソース区間に現れる電圧）は、有限の勾配（例えば、 $5\text{KV}/\mu\text{s}$ ）で降下する。

【0009】従って、遮断閾値が下方に越えられるのに、時間遅延が伴い、その結果、例えば、 $500\text{V}$ の電圧の場合に $100\text{ns}$ （ナノ秒）の遅延が生ずる。この時間中、監視はマスクされることになる。さもないと、誤って過電流が検出されることになるからである。しかしながら、電力スイッチを流れる電流は、有限の勾配、例えば、短絡の場合には $1000\text{A}/\mu\text{s}$ の勾配で立上り、電流振幅は $100\text{A}$ にもなり得る。この電流に起因する過電圧も上述の問題を由々しくする。

【0010】従来の短絡保護装置は、飽和電圧の温度依存性が著しいために、同時に過電流保護装置として働くことはできない。従って、過電流保護は、別個の実測値もしくは現在値監視によって実現しなければならない。

【0011】インバータで一般に必要とされる電流実測値もしくは現在値は、電流変換器、謂わゆる電流センサにより検出されている。この場合、電流現在値は、例えば、電流に比例する電圧信号とすることができる。電流センサによる評価においては、正確な遮断閾値が用いられるが、しかしながら、この遮断閾値は、重畳方式での処理により時間的ドリフトを受け、その結果として、回路装置を効果的に短絡から保護するためには、遮断に要する時間は、例えば、IGBTの場合、約 $10\mu\text{s}$ のように非常に大きな時間幅となる。

【0012】図1に示したコレクターエミッタ電圧 $V_{ce}$ もしくはドレーンソース電圧 $V_{ds}$ の監視（13）に従来慣用されている短絡保護装置は高価であり、而も各個々の電力半導体素子（6）毎に設けなければならない。更に過電流監視は、無駄時間があるために、過電流監視用のみ使用し得るだけで、短絡保護としては使用することができない。実際、従来においては、2つの安全対策手段、即ち、コレクターエミッタ電圧 $V_{ce}$ の監視及び電流監視が組合わせて採用されており、そのため大きい費用を招来している。

【0013】

【発明が解決しようとする課題】本発明の課題は、最小の付加的な費用で、装置もしくは設備を、地格及び過電流に対し、高い信頼性を以て保護するために、IGBT及びMOS-FET電力スイッチング装置のための過電流制限回路の形態にある経済的な過電流及び短絡保護手段を備えた電力変換器を提供することにある。

【0014】

【課題を解決するための手段】上記課題は、冒頭に述べた形式の電力半導体回路装置において、請求項1の謂わゆる特徴部分に記載の構成により解決される。なお、請求項2他には、本発明の有利な実施の態様が記述されている。

【0015】重畳制御回路装置において必要とされ且つ既に各半ブリッジ回路（ブリッジ回路を上、下に2分した場合の回路部分）の出力側に存在する電流センサは、許容電流が越えられたか否かを検出する。任意の半ブリッジ回路の電流が所定の限界を越えると、例えば、電力半導体素子IGBTまたはMOS-FETの定格電流の125%を越えると、直ちに一次側の電力スイッチのための制御信号が遮断され、それにより、上部スイッチに対し時間的に変位して下部スイッチの遮断が行われる。本発明による回路によれば、端子間短絡、地格、並びに過電流を検知することが可能であり、それにより、回路装置の保護を経済的に有利に実現することができる。

【0016】

【発明の実施の形態】以下、添付図面を参照し本発明の好適な実施の形態に関して説明する。図2は、本発明の原理を示す簡略ブロック回路図である。図を参照するに、駆動回路（3）を介して、切換信号が電力スイッチ回路（6）に供給される。負荷側に接続された各相の電流センサ（7）は、総ての実測値もしくは現在値をウインドウ比較器（2）に供給する。該ウインドウ比較器（2）は、最大値が越えられ、エラー信号を出力する。エラーの総和はエラー記憶メモリ（1）で行われる。

【0017】所定の限界外の電流が発生した場合且つ（または）短絡状態が生じた場合には、エラー記憶メモリから、駆動制御回路（3）の上部駆動回路（4）及び下部駆動回路（5）を遮断（オフ）にするための信号がエラー記憶メモリから発生され、それにより、対応の電力スイッチ（6）が確実に遮断、即ちオフ状態に切り換えられる。これら少数の制御素子に対する指令経路を短縮することにより、電力スイッチ（6）のオフまでの時間経過を非常に短くすることが可能である。

【0018】例えば、エラー記憶メモリ（1）、ウインドウ比較器（2）、駆動回路（3）及び電力スイッチ（6）における信号の処理及び出力に $0.5\mu\text{s}$ の時間が費やされ、且つ電流センサ（7）における評価時間が $1\mu\text{s}$ であるとする、過度に大きい過電流または短絡が生じた場合に電力スイッチ（6）をターン・オフするための全プロセスにおける最大時間ドリフトは $3\mu\text{s}$ よりも小さい。この $3\mu\text{s}$ という時間幅は、何れにせよ、電力スイッチ（6）を、過負荷による破壊から保護するのに十分に短い時間である。動作上のブリッジ短絡、即ち、上部及び下部スイッチが同時に閉成される可能性は、上位のコントローラによるロックまたは類似の制御手段で防止される。

【0019】上に例として述べた $n$ 相のインバータもしくは逆変換装置において本発明による迅速な過電流もしくは短絡の評価に関する原理は、同様に、インバータあるいは直流変換器にも同様に適用可能である。

【0020】図3は、下部電力スイッチ(45、54)及び上部電力スイッチ(42、51)から構成される複数の半ブリッジ回路(上、下のブリッジ回路部分)を有する回路装置の電力部分を保護するための回路を示す。ここで、電力スイッチは、IGBTで実現可能であるが、また、MOS-FETを用いて実現することもできる。各半ブリッジの出力端には、電流センサとも称される電流検出器(43、52)が設けられている。これら電流検出器は、重量制御用として既に使用されているものであり、従って、基本的精度が高く温度依存性が低くなければならない。

【0021】重畳制御部の制御信号(36、39、49、51)は適当な駆動段(35、38、48、50)を介して電力半導体スイッチの制御入力端に供給される。上記駆動段は、上部イネーブル入力信号(37)及び下部イネーブル入力信号(40)により阻止状態にすることができる。これら入力が存在しない場合には、個々の制御信号は、スイッチにより、駆動段(35、38、48、50)から隔離される。

【0022】保護に当っては、既存の電流変換器から得られる現在値(55、56)が電力回路部の $n$ 個の出力として用いられる。測定値の基準電位(41)は各出力(44、53)から電位的に隔離されている。更に、基準電位(41)は、正の中間回路電圧(46)、負の中間回路電圧(47)から隔離することができるが、しかしながら、このことは必須要件ではない。

【0023】過電流の検出に当っては、電流現在値信号(55、56)から、 $n$ 個のブリッジ整流器(60)により、正の最大瞬時値(62)及び負の最大瞬時値(65)を求め、ウインドウ比較器(61)により正の最大振幅(63)及び負の最大振幅(64)と比較する。

【0024】地絡を検出するために、電流現在値信号(55、56)は、加算増幅器(16)に供給される。出力電流(18)の総和は、別のウインドウ比較器(17)により最大閾値(19)または最小閾値(20)を越えているか或るいは下回っているかに依存し制御される。

【0025】総てのウインドウ比較器(61、17)の出力信号(23)は、ワイヤードOR回路(22)もしくは別のOR論理回路を介してエラー記憶メモリ(24)のセット入力端に供給される。出力信号「エラー」(26)は、信号「リセット」(25)によりリセットすることができる。別法として、エラー記憶メモリは、リセット信号を必要としない単安定時間段で実現するこ

ともできる。

【0026】AND論理回路(27)の出力(28)は、遅延素子 $t d 1$ (29)または $t d 2$ (30)を介してスイッチ(33)及び(34)の制御入力端に供給される。何れにせよ、時間遅延素子 $t d 1$ (29)の遅延時間は、時間遅延素子 $t d 2$ (30)の遅延時間とは異なる。エラー信号(26)及びリセット信号(25)が設定されない時間中は、スイッチ(33及び34)は閉成されており、従って、これら電力半導体スイッチの制御はコントローラによって行われる。

【0027】監視回路が、許容範囲外の電流を検知すると、スイッチ(33及び34)は時間的変位を伴ってオフ(開)にされ、それにより、電力スイッチ(42、45、51、54)は駆動段(35、38、48、50)により直ちに阻止状態に切り換えられる。従って、コントローラの出力制御信号の状態は何ら影響を及ぼさない。保護回路の総ての検出素子(電流検出素子)、過電流検出素子乃至電力スイッチ遮断信号発生素子)の時間遅延は、何れの場合にも、電力半導体スイッチが破壊されずに状態を遷移することができる時間内で行われる。

【図面の簡単な説明】

【図1】図1は、従来技術による回路の関連部分を示す簡略ダイアグラムである。

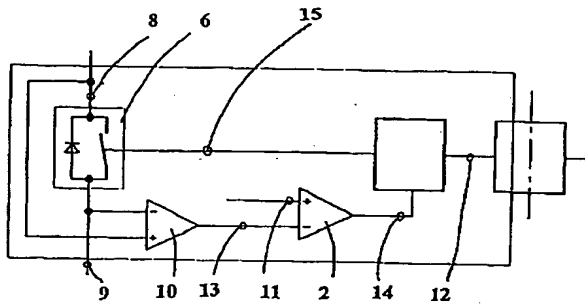
【図2】図2は、本発明の原理を示す簡略ブロック回路図である。

【図3】図3は、本発明による駆動回路の電力部分を保護するための回路構成を示す回路図である。

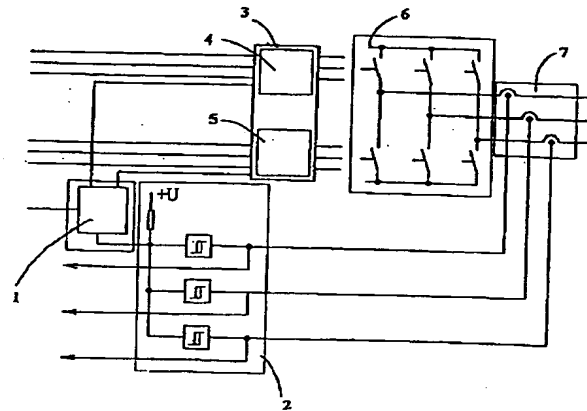
【符号の説明】

- |       |                |
|-------|----------------|
| 1     | エラー記憶メモリ       |
| 2     | ウインドウ比較器       |
| 3     | 駆動回路           |
| 4     | 上部駆動回路         |
| 5     | 下部駆動回路         |
| 6     | 電力スイッチ         |
| 7     | 電流センサ          |
| 16    | 加算増幅器          |
| 17    | ウインドウ比較器       |
| 22    | ワイヤードOR回路      |
| 24    | エラー記憶メモリ       |
| 27    | AND論理回路        |
| 29    | 時間遅延素子 $t d 1$ |
| 30    | 時間遅延素子 $t d 2$ |
| 33、34 | スイッチ           |
| 42、51 | 上部電力スイッチ       |
| 43、52 | 電流検出器          |
| 45、54 | 下部電力スイッチ       |
| 60    | ブリッジ整流器        |
| 61    | ウインドウ比較器       |

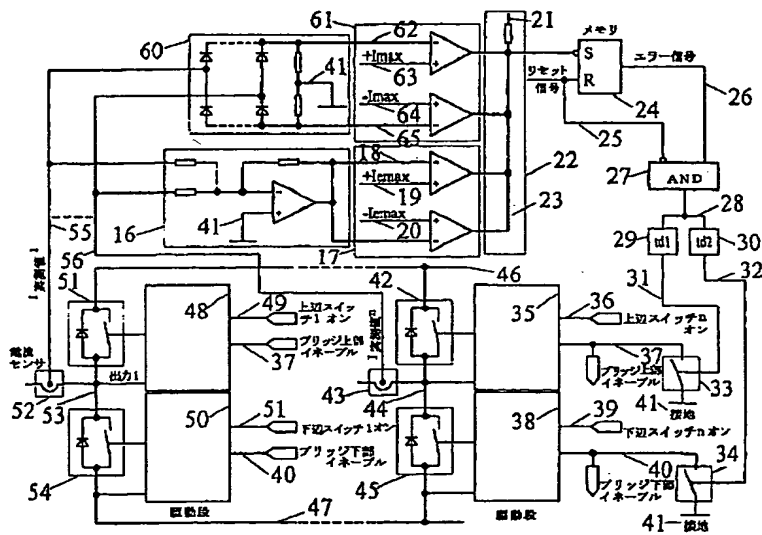
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 エルンスト シマネク  
 ドイツ連邦共和国 デー・90489 ニュル  
 ンベルク ジーブマッハー シュトラーセ  
 20